
HELLODSP
TMS320DM642中文手册
亮亮、KAZE、虎妞等翻译
All rights reserved by hellodsp.com @ 2008

前言

《TMS320DM642 中文手册》在 DSP 交流网（www.hellodsp.com）网友们的共同努力下，经过一个多月的翻译终于完成了，这是首次尝试，也是一次出色的合作。

此次翻译由网友亮亮发起，并全程负责，在这里对亮亮表示真诚的感谢和敬佩。同时，非常感谢以下参与翻译的网友们：

KaZE 虎妞 Michael 碧鲨 龙啸九天 可可橘子 Iceprince 田羽 Steward Shayne ward 张焱翔 Gaofeng_Q^_^ 风来的西林/$ JH DSP-F2812 方块糖 流星~落梦 另类爷们 kelly 心中的天 Embedded-A&D ☆星夜☆/yl 木头︹┳一人

HELLODSP
08-04-25

DSP 交流网联系方式：
Email：hellodsp@vip.163.com
QQ： 778086555

TMS320DM642 中文手册

第 1 章 TMS320DM642 视频/图像定点数字信号处理器 5
1.1特点（由亮亮翻译）......5
1.2 概述（由亮亮翻译）......7
1.3原理框图（由亮亮翻译）......9
第 2 章 器件纵览 10
2.1器件特性（由亮亮翻译）......10
2.2 CPU（DSP核）概述（由 KaZE翻译）......12
2.3存储器映射总结（由虎妞翻译）......18
2.4引导模式（由 Michael翻译）......21
2.5 引脚分配（由碧鲨翻译）......22
2.6 TMS320DM642的发展（由龙啸九天翻译）......56
第 3 章 器件配置 59
3.1复位时的配置（由可可橘子翻译）......59
3.2复位后的配置（由 Iceprince翻译）......62
3.3 外设配置锁定（由虎妞翻译）......65
3.4 器件状态寄存器描述（由田羽翻译）......67
3.5复用引脚配置（由 Steward翻译）......69
3.6 调试需要考虑的事项（由 Shayne ward翻译）......71
3.7 配置例子（由亮亮翻译）......72
第 4 章 TMS320DM642 运行状况 75
4.1 设备运行温度最大的额定值范围（由张焱翔翻译）......75
4.2 推荐运行条件（由张焱翔翻译）......76
4.3 超过推荐范围的电源电压和设备运行温度的电气特性（除非另有注明外）（由张焱翔翻译）......77
第 5 章 DM642 外设信息和电气特性 79
5.1 参数信息（由 Gaofeng_Q^_^翻译）......79
5.2 推荐的时钟和控制信号转变行为（由 KaZE翻译）......82
5.3电源（由 KaZE翻译）......82
5.4 增强的直接存取器访问（EDMA）控制器（由风来的西林 /$翻译）......87
5.5 中断（由 JH翻译）......92
5.6 复位（由 JH翻译）......95
5.7 时钟倍频 PLL（由 JH翻译）......100
5.8 外部存取接口（EMIF）（由 JH翻译）......106
5.9多声道音频串行端口（ McASP0 ）外围设备（由 DSP-F2812翻译）......121
5.10 内部集成电路（ I2C）（由方块糖翻译）......130
5.11主机接口 (HPI)（由 Steward翻译）......135
5.12 外围部件互连标准（由流星-梦落翻译）......141
5.13 多通道缓冲串口（McBSP）（由亮亮翻译）......145
5.14 视频端口（由另类爷们翻译）......156
5.15 VIC（由 Kelly翻译）......164
5.16 以太网媒体存取控制器 (EMAC)（由心中的天翻译）......166

5.17 数据输入 /输出管理（MDIO）（由 lceprince翻译）......174
5.18定时器（由 Embedded-A&D翻译）......177
5.19通用输入 /输出（ GPIO）（由 Embedded-A&D翻译）......179
5.20 JTAG（由☆星夜☆ /yl翻译）......182
第 6 章 机械参数......185
6.1 热敏参数（由木头╱┬一人翻译）......185
6.2 封装信息（由木头╱┬一人翻译）......187

第 1 章 TMS320DM642 视频/图像定点数字信号处理器

1.1特点

l 高性能数字媒体处理器
- 2-，1.67-，1.39-ns 指令周期
- 500-，600-，720-MHz 时钟频率
- 每周期执行 8 条 32 位指令
- 与 C64x 完全兼容

n VelociT1.2 是具有先进超长指令字（VLIW）TMS320C64x DSP 核 VelociT 的升级版
- 8 个独立的功能单元

n 6 个 ALU（32/40bit），每个功能单元支持每时钟周期 32 位算术操作，双 16 位比特算术操作，或 4 个 8 位算术操作

n 2 个乘法器支持每时钟周期 4 个 16×16 位的乘法（结果是 32 位）或者 8 个 8×8 位乘法（结果是 16 位）
- 具有无需阵列支持的负载存储结构（1）
- 64/32 位通用寄存器
- 指令打包技术，减少代码容量

l 指令设置特点
- 字节寻址（8/16/32/64 位数据）
- 8 位溢出保护
- 可位提取，设置，清除操作
- 标准化，饱和度（1），位计数
- 增强交互的 VelociT1.2

l L1/L2 存储器结构
- 128Kbit（16Kbyte）L1P 程序缓存（直接映射）
- 128Kbit（16Kbyte）L1D 数据缓存（2 路结合设置）
- 2Mbit（256Kbyte）L2 标准映射 RAM/缓存（灵活的 RAM/缓存分配）

l 小端模式，大端模式

l 64 位外部存储器接口（EMIF）
- 支持异步存储器（SRAM 和 EPROM）和同步存储器（SDRAM，SBSRAM，ZBT SRAM 和 FIFO）直接接口
- 总共 1024Mbyte 可寻址外部存储空间

l 增强的直接存储器访问（EDMA）控制器（64 个独立的通道）

l 10/100Mb/s 以太网控制器（EMAC）
- 适应 IEEE802.3

- 媒体独立接口（MII）
- 8 个独立的发送通道和 1 个接收通道

- 管理数据输入输出（MDIO）
- 3 个可配置视频接口
  - 给公共的视频编码解码器件提供一个直接 I/F 接口
  - 支持多种协议/视频标准
- 内插 VCXO 控制接口
  - 支持同步音频/视频
- 主机接口（HPI）[32/16 位]
- 符合 PCI 接口规范 2.2 版本，32 位/66MHz，3.3V PCI 主/从接口
- 多通道音频串行接口（McASP）
  - 8 个串行数据引脚
  - 多种 I^2S 和相似的比特流格式
  - 完整的数字音频 I/F 发送器，支持 P/DIF, IEC60958-1, AES-3, CP-430 格式
- I^2C 总线
- 2 个多通道缓存串行接口
- 3 个 32 位通用定时器
- 16 个通用输入输出（GPIO）引脚
- 灵活的 PLL 时钟发生器
- 支持 IEEE-1149.1（ JTAG）边界扫描接口
- 548 引脚球栅阵列（BGA）封装（GDK 和 ZDK 为后缀），0.8mm Ball Picth(1)
- 548 引脚球栅阵列（BGA）封装（GNK 和 ZNK 为后缀），1.0mm Ball Picth(1)
- 0.13μm/6 等级 CMOS 工艺
- I/O 采用 3.3V 供电，内核采用 1.2V 供电（-500）
- I/O 采用 3.3V 供电，内核采用 1.4V 供电（A-500，A-600，-600，-720）

注：红色标示的是翻译不确定的地方

1.2 概述

TMS320C64x DSP 芯片（包括 TMS320DM642）是在 TMS320C6000 DSP 平台上的高性能定点 DSP。TMS320DM642（DM642）是基于有 TI 开发的第二代高性能，先进 VelociTI 技术的 VLIW 结构（VelociTI1.2），从而使得这些 DSP 芯片成为数字多媒体的极好的选择。

DM642 在主频 720MHz 下处理速度达到 5760MIPS，并且给高性能 DSP 规划提供了廉价的解决方案。DM642 操作灵活的高速处理器和用数字表达容量的阵列处理器。C64x DSP 核具有 64 个 32 位字长的通用寄存器和 8 个独立的功能单元——两个结果为 32 位的乘法器和 6 个 ALUs——是 VelociTI1.2 的升级版。VelociTI1.2 升级版在 8 个功能单元里包括新的指令，可以在视频和图像应用方面提高性能，并能对 VelociTI 结构进行扩充。DM642 每周期能够提供 4 个 16 位 MACs，每秒可提供 2880 百万个 MACs，或者 8 个 8 位 MACs，每秒 5760MMACs。DM642 具有特殊应用的硬件结构，片上存储器和与其它的 C6000 系列 DSP 平台相似的额外的片上外围设备。

DM642 使用两级缓存，有一个强大的多变的外围设置。一级程序缓存 L1P 是一个 128Kbit 的直接映射缓存，另一级数据缓存 L1D 是一个 128Kbit 双路结合设置缓存。L2 存储器能被配置成映射存储器，高速缓存或者两者结合。外围设置包括：3 个可配置的视频端口；1 个 10/100Mb/s 的以太网控制器（EMAC）；1 个管理数据输入输出（MDIO）；1 个内插 VCXO 控制接口；1 个 McASP0；1 个 I^2C 总线；2 个 McBSPs；3 个 32 位通用定时器；1 个用户配置的 16 位或 32 位主机接口（HPI16/HPI32）；1 个 PCI；1 个 16 引脚的通用输入输出口（GP0），具有可编程中断/事件产生模式；1 个 64 位 IMIFA，可以与同步和异步存储器和外围设备相连。

DM642 具有 3 个可配置视频端口（VP0,VP1,VP2）。这些视频端口给公共视频编解码设备提供了直接接口。DM642 视频端口支持多种解决方法和视频标准（例如，CCIR601，ITU-BT.656，BT.1120，SMPTE125M，260M，274M，296M）。

这三个视频端口是可配置的，并能提供视频捕获和/或视频显示模式。每个视频端口由两个通道组成——A 和 B，这两个通道具有一个可分离的 5120 字节捕获/显示缓存。了解更多视频端口的详细内容可以参考 *TMS320C64x DSP Video Port/VCXO Interpolated Control (VIC) Port Reference Guide (literature number SPRU629).*

McASP0 端口提供了一个发射和一个接收时钟区，有 8 个串行数据引脚，能够分别安置到这两个区域。从 2 到 32 个时隙，在每个引脚上串行口支持时分多路技术。DM642 具有有

效的带宽支持 8 个串行数据引脚传输一个 192KHz 立体声信号。每个区域的串行数据在多个串行数据引脚上可以同时地被发射和接收，并可以在飞利浦 I^2S 形式上设计成多种样式。另外，McASP0 发送器可以同时地被编程为输出多种 S/PDIF，IEC60958, AES-3,CP-430 编码数据通道，同时一个 RAM 包含完整的可执行用户数据和通道状态区域。

McASP0 也具有差错检查和恢复特征，比如可检测不利高频主时钟的时钟探测电路，它可以校验主时钟是否在一个可编程频率范围内。

VCXO VIC 口提供了从 9 位到 16 位的数字到模拟的转化功能。VIC 输出是一个单独的内插 D/A 输出的位。关于 VIC 更详细的内容可见 *TMS320C64x DSP Video Port/VCXO Interpolated Control (VIC) Port Reference Guide (literature number SPRU629).*

EMAC 在 DM642 DSP 核处理器和网络之间提供了一个有效的接口。DM642 EMAC 支持半双工或全双工的 10Base-T 和 100Base-TX 或 10Mbits/s（Mbps）和 100Mbps，还支持硬件流控制和 QOS。DM642 EMAC 使用定制的接口与 DSP 核相连，可以让数据有效的传送和接收。关于 EMAC 更详细的资料可见 *TMS320C6000 DSP Ethernet Media Access Controller (EMAC) / Management Data Input/Output (MDIO) Module Reference Guide (literature number SPRU628).*

MDIO 模块不断地获取全部的 32 个 MDIO 地址，列举出系统中所有 PHY 器件。一旦有候选的 PHY 被 DSP 选中，MDIO 模块马上通过读取 PHY 状态寄存器监控它的连接。连接的改变能保存在 MDIO，并可随时中断 DSP，使得 DSP 无需不断执行 MDIO 存取操作就可获取连接的状态。关于 MDIO 更详细的资料可见 *TMS320C6000 DSP Ethernet Media Access Controller (EMAC) / Management Data Input/Output (MDIO) Module Reference Guide (literature number SPRU628).*

TMS320DM642 的 I2C0 口使得 DSP 很容易得控制外围器件和与主机的通信。另外，标准的 McBSP 可以被用来与 SPI 模式的外围设备通信。
DM642 具有一整套开发工具，包括：新的 C 编译器，可以简化编程和时间的代码优化器和具有执行代码可见性的 Windows 调试器接口。

1.2.1 器件兼容性

DM642 与 C6000 DSP 平台的代码兼容。

C64x DSP 器件具有多变和强大的外围设备装置。

关于器件兼容性和 DM642与其它 C64x器件的异同可见 TMS320DM642 Technical Overview (literature number SPRU615)。

1.3原理框图

表 0-1显示的是 DM642 **的原理框图。**



A． McBSPs：Framing Chips-H.100，MVIP，SCSA，T1，E1；AC97 设备；SPI 设备；编解码器

B． 视频端口 0（VP0）外设与 McBSP0 和 McASP0 控制引脚相复用。视频端口 1 外设与 McBSP1 和 McASP1 数据引脚相复用。PCI 外设与 HPI（32/16），EMAC 和 MDIO 外设相复用。关于这些外设复用引脚的更详细资料可见本资料的器件配置这部分。

表 0-1 原理框图

第 2 章 器件纵览

2.1器件特性

表 2-1提供了 DM642 DSP的纵览。这张表格显示了 DM642的重要特征，包括片上 RAM 的容量，外设，CPU频率和封装类型及引脚数。

表 2-1 DM642处理器特性

硬件特性		DM642
外设 不是所有的外设引脚同时可用（更详细信息可见器件配置这部分）	EMIFA（64位总线宽度）(时钟源 = AECLKIN)	1
	EDMA（64 个独立通道）	1
	McASP0（使用外设时钟 [AUXCLK]）	1
	I2C0（使用外设时钟）	1
	HPI（32或 16位 用户可选）	1（HPI16 or HPI32）
	PCI（32位），66-MHz/33-MHz 器件 ID 寄存器值 0x9065]	1
	McBSPs（内部时钟源 = CPU/4 时钟频率）	2
	可配置视频端口（VP0，VP1，VP2）	3
	10/100 以太网媒体存取控制器（EMAC）	1
	数据输入/输出管理 (MDIO)	1
	VCXO 内插控制端口（VIC）	1
	32位定时器 (内部时钟源 = CPU/8 时钟频率）	3
	通用输入/输出端口 (GP0)	16
片上存储器	大小（字节）	288K
	组织	16K字节（16KB）L1程序 (L1P) 高速缓存 16KB L1数据（L1D) 高速缓存 256KB 标准映射 RAM/Cache（L2）
CPU ID + CPU Rev ID	控制状态寄存器 (CSR.[31:16])	0x0C01
JTAG BSDL_ID	JTAGID寄存器 (地址：0x01B3F008)	0x0007902F
频率	MHz	500，600，720

周期	ns	2 ns（DM642-500）和（DM642A-500）[500 MHz CPU，100 MHz EMIF(1)，33 MHz PCI 口] 1.67 ns（DM642-600）and（DM642A-600）[600 MHz CPU，133 MHz EMIF(1)，66 MHz PCI口] 1.39 ns（DM642-720）[720 MHz CPU，133 MHz EMIF(1)，66 MHz PCI口]
电压	核（V）	1.2 V（– 500）1.4 V（A-500，A-600，-600，-720）
	I/O（V）	3.3 V
PLL选项	CLKIN倍频器	旁路（x1），x6，x12

表 2-1 DM642处理器特性（续表）

硬件特性		DM642
BGA封装	23 x 23 mm	548引脚 BGA（GDK and ZDK）
	27 x 27 mm	548-Pin BGA（GNZ and ZNZ）
处理技术	μm	0.13 μm
产品状况 (2)	产品预览（PP），预报（AI)或生产数据（PD）	PD

(1) 在 DM642上，EMIF额定速度只影响 SDRAM接口。关于更详细信息可见本数据手册的 EMIF器件速度部分。

(2) PRODUCTION DATA 信息是目前的出版日期。产品符合每个期限的德州仪器标准授权规范书。

2.2 CPU（DSP核）概述

该 CPU采用 VelociTI 高级超长指令字（VLIWS）（宽度为 256位），支持 8条 32位的指令，使其在每个时钟周期内可操作 8个功能单元。VelociTI 超长指令字的结构特性决定了 8个功能单元在没有都准备好执行指令时，是不会提供指令的。每条 32位的指令的第一位都表示下一条指令是否和前一条指令是否属于同一个执行包，或者该指令是否应该在下一个时钟周期作为下一个执行包的一部分被执行。获取的包总是为 256位，然而执行包的字长是可变的。可变长度的执行包是以一个重要的节省存储器的特性，该特性与其他超长指令字架构的 C64x 是有区别的。C64x VelociTI.2 扩展性能增强了 TMS320C62x DSP VelociTI 架构的性能。这些增强性能包括：

- 增强型寄存器文件
- 数据通道扩展
- 4路 8位和 2路 16位的增强型数据流
- 新增的硬件功能单元
- 增强型正交指令系统
- 新增指令具有减少代码大小和增加寄存器适应性的功能

该 CPU包含两组能单元。每组功能单元包含 4个功能单元和 1个寄存器组。一组包含 L1、S1、M1、D1这 4个功能单元，另一组包含 D2、M2、S2、L2这 4个功能单元。2个寄存器组各包含 32个 32位寄存器，总共 64个通用寄存器。除了支持 C62x VelociTI 超长指令字架构所具有的 16bit和 32位 /40位定点数据类型，C64x 寄存器文件还支持 8位和 64位定点数据类型。CPU 的 A侧和 B侧由上述两组带有寄存器组的功能单元组成 [参见功能块和 CPU（DSP核）图图 2-1]。在每侧的 4个功能单元可以自由的共享属于该侧的 32个寄存器。另外，每侧包含一个“数据交叉通道”—— 一条链接到另一侧所有寄存器的单数据总线，这样两组功能单元可以访问来自另一侧寄存器的数据。C64x CPU流水线中数据交叉通道占用多个时钟周期。这样就可以允许同一个寄存器在一个执行包中被不同的功能单元当作数据交叉通道的操作数来使用。在 C64x CPU中所有的功能单元都可以通过数据交叉通道访问操作数。寄存器以寄存器组的形式在单时钟周期内向所有同侧功能单元提供服务。在 C64x CPU中，只要寄存器在前一个时钟周期被更新，那么当一条指令试图通过数据交叉通道来读取寄存器值，都需要引入延迟时钟。

除了 C62x DSP的定点指令，C64x DSP还包括了一系列全面的 8位和 16位扩展指令系统。这些 VelociTI.2 扩展特性允许 C64x CPU直接塞入数据到数据流，并提高了指令集的执行效率。这对视频和图像应用是关键要素。

C64x CPU另一个关键特性是载入 /存储结构，在这个结构中所有的指令操作寄存器（与在存储器中数据的操作完全不同）。2组数据寻址单元（.D1和 .D2）负责所有的数据在寄存器文件和存储器之间转换。.D驱动的数据地址允许由一个寄存器文件生成的数据地址用来装

载或存储数据到另一个的寄存器文件，或者允许由一个寄存器文件生成的数据地址用来装载或存储来自另一个的寄存器文件的数据。C64x .D单元可以用一条指令装载和存储 8位、16位和 32位的数据。在新的数据通道扩展下 C64x .D单元可以用一条指令装载和存储 64位的数据。而且，无关联装载和存储指令允许 .D单元在任意字节界限内访问 32位和 64位数据。C64x CPU支持许多间接寻址模式，使用线性或循环寻址，可以使用 5位或 15位偏移量。所有的指问都是条件反应指令，大多数的指令能访问任意一个 64位的寄存器。有些寄存器作为支持特别的寻址模式或为条件指令保持状态（如果条件不是自动为真）。

2个 .M功能单元执行所有的乘法操作。每个 C64x .M单元可以在每个时钟周期执行 2个 16× 16位乘法，或者 4个 8× 8位乘法。.M单元也能执行 16× 32位乘法、带有加 /减的二重 16× 16位乘法、带有加法的四重 8× 8位乘法。除了标准的乘法，C64x .M单元还支持位计数、旋转、伽罗瓦域乘法、硬件双向可变移位器。

2个 .S和 .L功能单元执行一般算数运算、逻辑运算和分支程序，其运算结果在每个时钟周期可用。在 C64x CPU中算术运算和逻辑运算包括单 32位、2个 16位、4个 8位的操作。

当一条 256位宽度取指令包从程序存储器取得时，处理流程开始。指向单独功能单元 32位的指令被最低有效位（LSB）为“1”的指令“链接”到一起。这些被“链接”到一起需要同时执行（最大支持 8条）的指令组成一个执行包。一个最低有效位为“0”的指令打断这个“链接”，随后的指令事实上放置在下一个执行包中。一个增强的 C64x DSP设备现在允许执行包跨过取包分界线取包。在 TMS320C62x TMS320C67x DSP设备中如果一个执行包跨过取包分界线（宽度 256位），汇编器将其放置到下一个取包，同时剩余的当前取包填补空操作指令。在 C64x DSP设备中去掉了执行分界线约束，因此除去了所有被填补到取包中的空操作，这样就减小了总代码的大小。1个取包中包含的执行包个数可以有 1个到 8个，执行包以一个时钟周期一个的速度被分派到各自的功能单元，所有来自当前包的执行包被分配后才进行下一个 256位的取包。解码后，指令同时驱动所有活动的功能单元，最大的执行率为每个时钟周期 8条指令。当在 32位寄存器中储存了大部分的计算结果后，计算结果接着以字节（8位）、半字（16位）、字（32位）、或双字（64位）的形式被放入存储器。所有的装载和存储指令都可设置以字节（8位）、半字（16位）、字（32位）、或双字（64位）的形式存储。

关于更详细的增强型 C64x CPU功能单元的介绍请参考下列文档：

- TMS320C6000 CPU and Instruction Set Reference Guide（文件号：SPRU189）
- TMS320*C64x Technical Overview*（文件号：SPRU395）

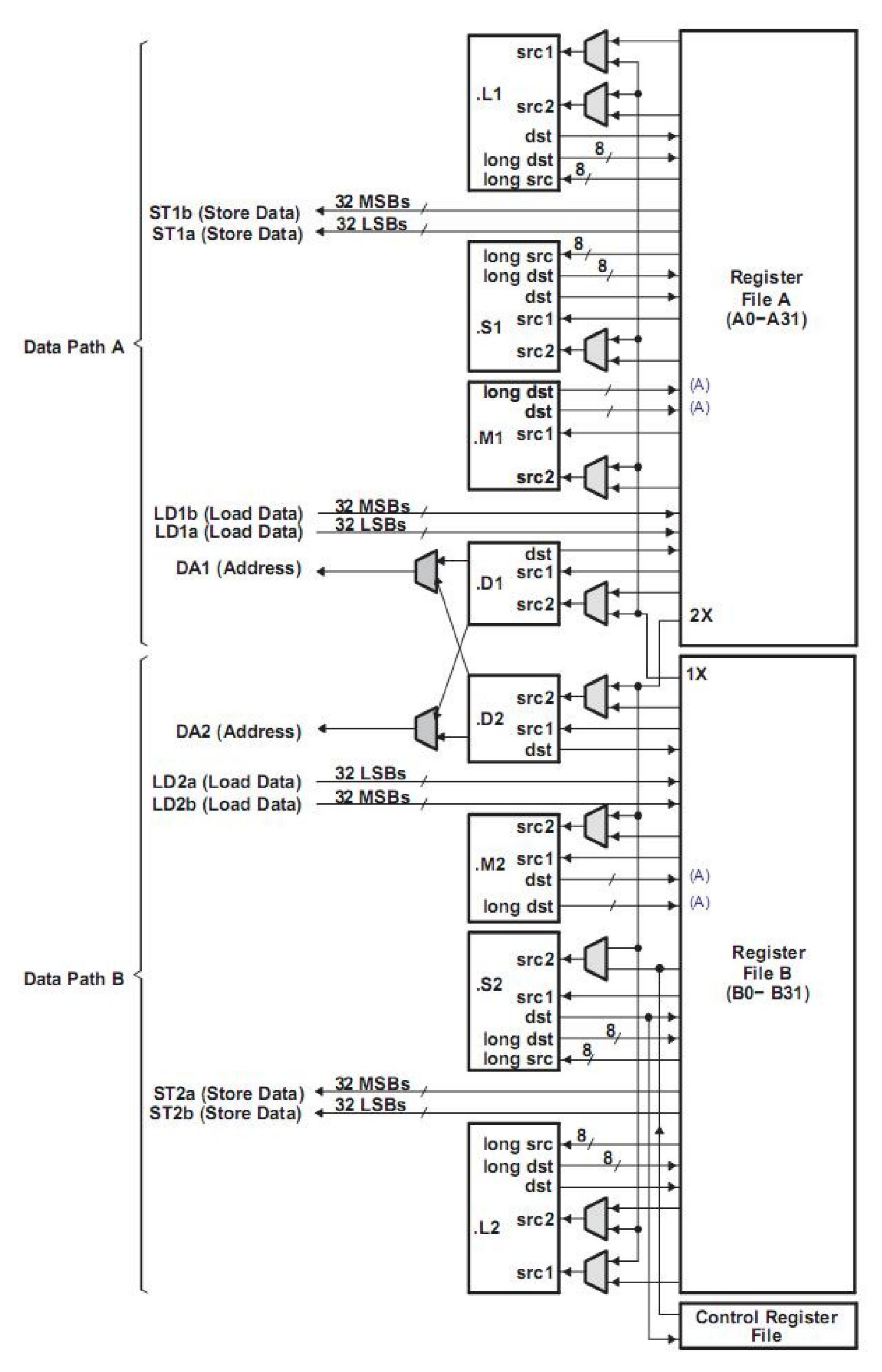


图 2-1 TMS320C64x CPU（DSP 核）数据通路

其中：

A. M单元long dst是32MSB,dst是32LSB

2.2.1 CPU核寄存器

表 2-2 .L2高速缓存寄存器（C64x）

十六进制地址范围	首字母缩写	寄存器名	备注
0184 0000	CCFG	高速缓冲器配置寄存器	
0184 0004 – 0184 0FFC	–	保留	
0184 1000	EDMAWEIGHT	L2 增强型 DMA 访问控制寄存器	
0184 1004 – 0184 1FFC	–	保留	
0184 2000	L2ALLOC0	L2 配置寄存器 0	
0184 2004	L2ALLOC1	L2 配置寄存器 1	
0184 2008	L2ALLOC2	L2 配置寄存器 2	
0184 200C	L2ALLOC3	L2 配置寄存器 3	
0184 2010 – 0184 3FFC	–	保留	
0184 4000	L2WBAR	L2 回写基地址寄存器	
0184 4004	L2WWC	L2 回写字计数寄存器	
0184 4010	L2WIBAR	L2 回写无效基地址寄存器	
0184 4014	L2WIWC	L2 回写无效字计数寄存器	
0184 4018	L2IBAR	L2 无效基地址寄存器	
0184 401C	L2IWC	L2 无效字计数寄存器	
0184 4020	L1PIBAR	L1P 无效基地址寄存器	
0184 4024	L1PIWC	L1P 无效字计数寄存器	
0184 4030	L1DWIBAR	L1D 回写无效基地址寄存器	
0184 4034	L1DWIWC	L1D 回写无效字计数寄存器	
0184 4038 – 0184 4044	–	保留	
0184 4048	L1DIBAR	L1D 无效基地址寄存器	
0184 404C	L1DIWC	L1D 无效字计数寄存器	
0184 4050 – 0184 4FFC	–	保留	
0184 5000	L2WB	L2 全部回写寄存器	
0184 5004	L2WBINV	L2 全部回写无效寄存器	
0184 5008 – 0184 7FFC	–	保留	
0184 8000 – 0184 81FC	MAR0 to MAR127	保留	
0184 8200	MAR128	外部存储器接口 CE0 控制范围 8000 0000 – 80FF FFFF	
0184 8204	MAR129	外部存储器接口 CE0 控制范围 8100 0000 – 81FF FFFF	
0184 8208	MAR130	外部存储器接口 CE0 控制范围 8200 0000 – 82FF FFFF	
0184 820C	MAR131	外部存储器接口 CE0 控制范围 8300 0000 – 83FF FFFF	
0184 8210	MAR132	外部存储器接口 CE0 控制范围 8400 0000 – 84FF FFFF	
0184 8214	MAR133	外部存储器接口 CE0 控制范围 8500 0000 – 85FF FFFF	

0184 8218	MAR134	外部存储器接口 CE0 控制范围 8600 0000 – 86FF FFFF	
0184 821C	MAR135	外部存储器接口 CE0 控制范围 8700 0000 – 87FF FFFF	
0184 8220	MAR136	外部存储器接口 CE0 控制范围 8800 0000 – 88FF FFFF	
0184 8224	MAR137	外部存储器接口 CE0 控制范围 8900 0000 – 89FF FFFF	

表 2-2 .L2高速缓存寄存器（C64x）（续前表）

十六进制地址范围	首字母缩写	寄存器名	备注
0184 8228	MAR138	外部存储器接口 CE0 控制范围 8A00 0000 – 8AFF FFFF	
0184 822C	MAR139	外部存储器接口 CE0 控制范围 8B00 0000 – 8BFF FFFF	
0184 8230	MAR140	外部存储器接口 CE0 控制范围 8C00 0000 – 8CFF FFFF	
0184 8234	MAR141	外部存储器接口 CE0 控制范围 8D00 0000 – 8DFF FFFF	
0184 8238	MAR142	外部存储器接口 CE0 控制范围 8E00 0000 – 8EFF FFFF	
0184 823C	MAR143	外部存储器接口 CE0 控制范围 8F00 0000 – 8FFF FFFF	
0184 8240	MAR144	外部存储器接口 CE0 控制范围 9000 0000 – 90FF FFFF	
0184 8244	MAR145	外部存储器接口 CE1 控制范围 9100 0000 – 91FF FFFF	
0184 8248	MAR146	外部存储器接口 CE1 控制范围 9200 0000 – 92FF FFFF	
0184 824C	MAR147	外部存储器接口 CE1 控制范围 9300 0000 – 93FF FFFF	
0184 8250	MAR148	外部存储器接口 CE1 控制范围 9400 0000 – 94FF FFFF	
0184 8254	MAR149	外部存储器接口 CE1 控制范围 9500 0000 – 95FF FFFF	
0184 8258	MAR150	外部存储器接口 CE1 控制范围 9600 0000 – 96FF FFFF	
0184 825C	MAR151	外部存储器接口 CE1 控制范围 9700 0000 – 97FF FFFF	
0184 8260	MAR152	外部存储器接口 CE1 控制范围 9800 0000 – 98FF FFFF	
0184 8264	MAR153	外部存储器接口 CE1 控制范围 9900 0000 – 99FF FFFF	
0184 8268	MAR154	外部存储器接口 CE1 控制范围 9A00 0000 – 9AFF FFFF	
0184 826C	MAR155	外部存储器接口 CE1 控制范围 9B00 0000 – 9BFF FFFF	
0184 8270	MAR156	外部存储器接口 CE1 控制范围 9C00 0000 – 9CFF FFFF	

0184 8274	MAR157	外部存储器接口 CE1 控制范围 9D00 0000 – 9DFF FFFF	
0184 8278	MAR158	外部存储器接口 CE1 控制范围 9E00 0000 – 9EFF FFFF	
0184 827C	MAR159	外部存储器接口 CE1 控制范围 9F00 0000 – 9FFF FFFF	
0184 8280	MAR160	外部存储器接口 CE2 控制范围 A000 0000 – A0FF FFFF	
0184 8284	MAR161	外部存储器接口 CE2 控制范围 A100 0000 – A1FF FFFF	
0184 8288	MAR162	外部存储器接口 CE2 控制范围 A200 0000 – A2FF FFFF	
0184 828C	MAR163	外部存储器接口 CE2 控制范围 A300 0000 – A3FF FFFF	
0184 8290	MAR164	外部存储器接口 CE2 控制范围 A400 0000 – A4FF FFFF	
0184 8294	MAR165	外部存储器接口 CE2 控制范围 A500 0000 – A5FF FFFF	
0184 8298	MAR166	外部存储器接口 CE2 控制范围 A600 0000 – A6FF FFFF	
0184 829C	MAR167	外部存储器接口 CE2 控制范围 A700 0000 – A7FF FFFF	
0184 82A0	MAR168	外部存储器接口 CE2 控制范围 A800 0000 – A8FF FFFF	
0184 82A4	MAR169	外部存储器接口 CE2 控制范围 A900 0000 – A9FF FFFF	
0184 82A8	MAR170	外部存储器接口 CE2 控制范围 AA00 0000 – AAFF FFFF	
0184 82AC	MAR171	外部存储器接口 CE2 控制范围 AB00 0000 – ABFF FFFF	
0184 82B0	MAR172	外部存储器接口 CE2 控制范围 AC00 0000 – ACFF FFFF	
0184 82B4	MAR173	外部存储器接口 CE2 控制范围 AD00 0000 – ADFF FFFF	
0184 82B8	MAR174	外部存储器接口 CE2 控制范围 AE00 0000 – AEFF FFFF	
0184 82BC	MAR175	外部存储器接口 CE2 控制范围 AF00 0000 – AFFF FFFF	
0184 82C0	MAR176	外部存储器接口 CE3 控制范围 B000 0000 – B0FF FFFF	

表 2-2 .L2高速缓存寄存器（C64x）（续前表）

十六进制地址范围	首字母缩写	寄存器名	备注
0184 82C4	MAR177	外部存储器接口 CE3 控制范围 B100 0000 – B1FF FFFF	
0184 82C8	MAR178	外部存储器接口 CE3 控制范围 B200 0000 – B2FF FFFF	
0184 82CC	MAR179	外部存储器接口 CE3 控制范围 B300 0000 – B3FF FFFF	

0184 82D0	MAR180	外部存储器接口 CE3 控制范围 B400 0000 – B4FF FFFF	
0184 82D4	MAR181	外部存储器接口 CE3 控制范围 B500 0000 – B5FF FFFF	
0184 82D8	MAR182	外部存储器接口 CE3 控制范围 B600 0000 – B6FF FFFF	
0184 82DC	MAR183	外部存储器接口 CE3 控制范围 B700 0000 – B7FF FFFF	
0184 82E0	MAR184	外部存储器接口 CE3 控制范围 B800 0000 – B8FF FFFF	
0184 82E4	MAR185	外部存储器接口 CE3 控制范围 B900 0000 – B9FF FFFF	
0184 82E8	MAR186	外部存储器接口 CE3 控制范围 BA00 0000 – BAFF FFFF	
0184 82EC	MAR187	外部存储器接口 CE3 控制范围 BB00 0000 – BBFF FFFF	
0184 82F0	MAR188	外部存储器接口 CE3 控制范围 BC00 0000 – BCFF FFFF	
0184 82F4	MAR189	外部存储器接口 CE3 控制范围 BD00 0000 – BDFF FFFF	
0184 82F8	MAR190	外部存储器接口 CE3 控制范围 BE00 0000 – BEFF FFFF	
0184 82FC	MAR191	外部存储器接口 CE3 控制范围 BF00 0000 – BFFF FFFF	
0184 8300 – 0184 83FC	MAR192 to MAR255	保留	
0184 8400 – 0187 FFFF	–	保留	

2.3存储器映射总结

表格 2-3 显示的是 DM642 存储器映射的地址范围。内部的存储器总是从 0 开始的，其往往可以用于程序存储和数据存储。DM642 外部的存储器地址的范围从对应于 EMIFA 的地址 0x8000 000 开始。

表 2-3. TMS320DM642存储器映射总结

存储器块描述	块大小（字节）	十六进制地址范围
内部 RAM（L2）	256K	0000 0000 – 0003 FFFF
保留	768K	0004 0000 – 000F FFFF
保留	23M	0010 0000 – 017F FFFF
外部存储器接口 A（EMIFA）	256K	0180 0000 – 0183 FFFF

L2 寄存器	256K	0184 0000 – 0187 FFFF
HPI寄存器	256K	0188 0000 – 018B FFFF
McBSP 0 寄存器	256K	018C 0000 – 018F FFFF
McBSP 1寄存器	256K	0190 0000 – 0193 FFFF
Timer 0寄存器	256K	0194 0000 – 0197 FFFF
Timer 1寄存器	256K	0198 0000 – 019B FFFF
中断选择寄存器	256K	019C 0000 – 019F FFFF
EDMA RAM and EDMA 寄存器	256K	01A0 0000 – 01A3 FFFF
保留	512K	01A4 0000 – 01AB FFFF
Timer 1寄存器	256K	01AC 0000 – 01AF FFFF
GP0寄存器	256K – 4K	01B0 0000 – 01B3 EFFF
设备配置寄存器	4K	01B3 F000 – 01B3 FFFF
I2C0数据和控制寄存器	16K	01B4 0000 – 01B4 3FFF
保留	32K	01B4 4000 – 01B4 BFFF
McASP0控制寄存器	16K	01B4 C000 – 01B4 FFFF
保留	192K	01B5 0000 – 01B7 FFFF
保留	256K	01B8 0000 – 01BB FFFF
仿真	256K	01BC 0000 – 01BF FFFF
PCI寄存器	256K	01C0 0000 – 01C3 FFFF
VP0控制	16K	01C4 0000 – 01C4 3FFF
VP1控制	16K	01C4 4000 – 01C4 7FFF
VP2控制	16K	01C4 8000 – 01C4 BFFF
VIC控制	16K	01C4 C000 – 01C4 FFFF
保留	192K	01C5 0000 – 01C7 FFFF
EMAC控制	4K	01C8 0000 – 01C8 0FFF
EMAC Wrapper	8K	01C8 1000 – 01C8 2FFF
EWRAP寄存器	2K	01C8 3000 – 01C8 37FF
MDIO控制寄存器	2K	01C8 3800 – 01C8 3FFF
存储器块描述	块大小（字节）	十六进制地址范围
保留	3.5M	01C8 4000 – 01FF FFFF
QDMA寄存器	52	0200 0000 – 0200 0033
保留	736M-52	0200 0034 – 2FFF FFFF
McBSP 0 数据	64M	3000 0000 – 33FF FFFF
McBSP 1 数据	64M	3400 0000 – 37FF FFFF
保留	64M	3800 0000 – 3BFF FFFF
McASP 0 数据	1M	3C00 0000 – 3C0F FFFF
保留	64M-1M	3C10 0000 – 3FFF FFFF
保留	832M	4000 0000 – 73FF FFFF
VP0通道A数据	32M	7400 0000 – 75FF FFFF

VP0通道B数据	32M	7600 0000 – 77FF FFFF
VP1通道A数据	32M	7800 0000 – 79FF FFFF
VP1通道B数据	32M	7A00 0000 – 7BFF FFFF
VP2通道A数据	32M	7C00 0000 – 7DFF FFFF
VP2通道B数据	32M	7E00 0000 – 7FFF FFFF
EMIFA CE0	256M	8000 0000 – 8FFF FFFF
EMIFA CE1	256M	9000 0000 – 9FFF FFFF
EMIFA CE2	256M	A000 0000 – AFFF FFFF
EMIFA CE3	256M	B000 0000 – BFFF FFFF
保留	1G	C000 0000 – FFFF FFFF

2.3.1 L2 结构扩展

图 2-2 表示的是 TMS320DM642 的 L2 详细的结构。想获知更多的 L2MODE 位信息，请查看 *TMS320C64x Two-Level Internal Memory Reference Guide* (literature number SPRU610)中关于 CCFG 寄存器位地址描述。

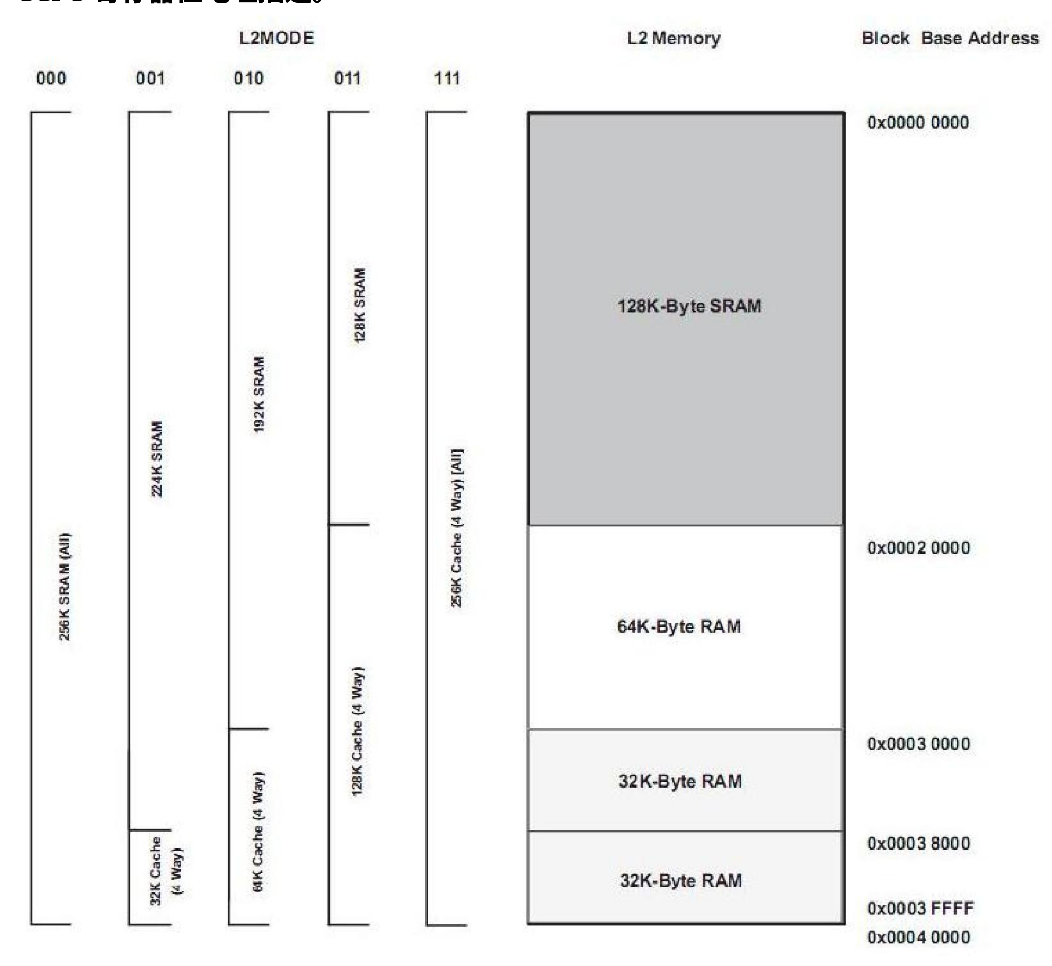


图 2-2 TMS320DM642 L2 结构